

(12)特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局



(43) 国際公開日
2005年3月31日 (31.03.2005)

PCT

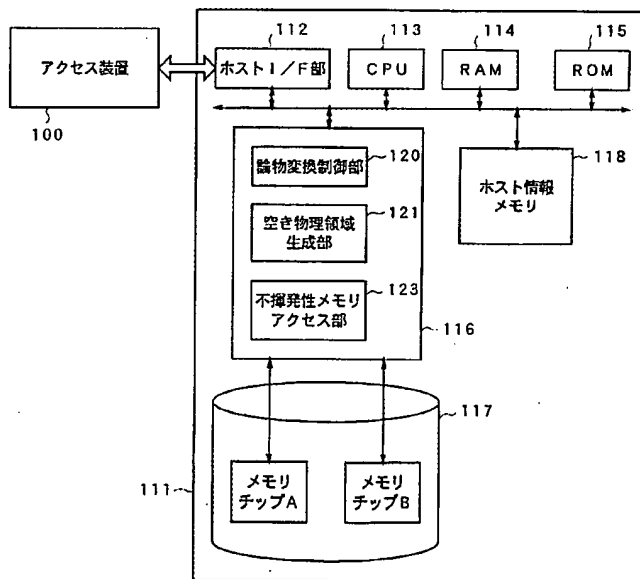
(10) 国際公開番号
WO 2005/029311 A1

- (51) 国際特許分類⁷: G06F 3/06, 3/08, 12/00, G06K 17/00, G06F 12/06
(21) 国際出願番号: PCT/JP2004/013703
(22) 国際出願日: 2004年9月13日 (13.09.2004)
(25) 国際出願の言語: 日本語
(26) 国際公開の言語: 日本語
(30) 優先権データ: 特願2003-325811 2003年9月18日 (18.09.2003) JP
(71) 出願人 (米国を除く全ての指定国について): 松下電器産業株式会社 (MATSUSHITA ELECTRIC INDUSTRIAL CO., LTD.) [JP/JP]; 〒5718501 大阪府門真市大字門真1006番地 Osaka (JP).
(72) 発明者; および
(75) 発明者/出願人 (米国についてのみ): 前田 卓治 (MAEDA, Takuji). 井上 信治 (INOUE, Shinji). 後藤 芳稔 (GOTOH, Yoshiho). 大原 淳 (OHARA, Jun). 中西 雅浩 (NAKANISHI, Masahiro). 辻田 昭一 (TSUJITA, Shoichi). 泉 智紹 (IZUMI, Tomoaki). 笠原 哲志 (KASAHARA, Tetsushi). 田村 和明 (TAMURA, Kazuaki). 松野 公則 (MATSUNO, Kiminori). 堀内 浩一 (HORIUCHI, Koichi). 井上 学 (INOUE, Manabu).
(74) 代理人: 岡本 宜喜 (OKAMOTO, Yoshiki); 〒5770066 大阪府東大阪市高井田本通7-7-19昌利ビル 安田岡本特許事務所内 Osaka (JP).
(81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR,

[続葉有]

(54) Title: SEMICONDUCTOR MEMORY CARD, SEMICONDUCTOR MEMORY CONTROL APPARATUS, AND SEMICONDUCTOR MEMORY CONTROL METHOD

(54) 発明の名称: 半導体メモリカード、半導体メモリ制御装置及び半導体メモリ制御方法



100 ACCESS APPARATUS
112 HOST I/F PART
120 LOGIC/PHYSIC CONVERSION CONTROL PART
121 OPEN PHYSICAL AREA PRODUCING PART
123 NONVOLATILE MEMORY ACCESS PART
A MEMORY CHIP
B MEMORY CHIP
118 HOST INFORMATION MEMORY

(57) Abstract: A host information memory is provided in a semiconductor memory card to hold data write commencement addresses and data sizes given from an access apparatus. An open physical area producing part decides, from the data write commencement addresses and data sizes, whether to erase ineffective blocks of the nonvolatile memory during data write and also decides the number of blocks to be erased. In a case of erasing, the erasing of ineffective blocks and the writing of data are simultaneously executed to different memory chips. In this way, the data erase processing can be optimized, and the access from the access apparatus to the semiconductor memory card can be preformed in a high speed.

(57) 要約: 半導体メモリカード内にホスト情報メモリを設け、アクセス装置から与えられるデータ書き込み開始アドレスとデータサイズとを保持する。空き物理領域生成部は、データ書き込み開始アドレスとデータサイズからデータの書き込み時に不揮発性メモリの無効ブロックを消去するかどうか、及び消去するブロック数を決定する。消去する場合には、異なったメモリチップに対してデータ書き込みと無効ブロックの消去を同時に実行する。これによりデータの消去処理を最適化し、アクセス装置から半導体メモリカードに対し

WO 2005/029311 A1

て高速のアクセスを実現することができる。

BEST AVAILABLE COPY



BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NA, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW.

CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IT, LU, MC, NL, PL, PT, RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

添付公開書類:

— 国際調査報告書

- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG,

2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

明細書

半導体メモリカード、半導体メモリ制御装置及び半導体メモリ制御方法

5 技術分野

本発明は、半導体メモリカード、半導体メモリ制御装置及び半導体メモリ制御方法に関する。

背景技術

- 10 音楽コンテンツや、映像データなどのデジタルデータを記録する記録媒体には、磁気ディスク、光ディスク、光磁気ディスクなど、様々な種類が存在する。これら記録媒体の1種類である半導体メモリカードは、記録素子としてフラッシュROMなどの半導体メモリを使用しており、記録媒体の小型化が図れることから、デジタルスチルカメラや携帯電話端末など、小型の携帯
- 15 機器を中心に急速に普及しつつある。

- 半導体メモリカードに格納されたデータはファイルシステムにより管理されており、ユーザは格納されたデータをファイルとして容易に取り扱うことができる。従来使用されているファイルシステムとして、ISO/IEC 9293、“Information Technology—Volume
- 20 and file structure of disk cartridges for information”、1994年、に示されているFATファイルシステムがある。又OSTA Universal Disk Format Specification Revision 1.50、1997年、に記載されているUDF (Universal Disk
- 25 k Format) や、NTFS (New Technology File System) などが存在する。これらファイルシステムによりデータが管理された半導体メモリカードは、同一のファイルシステムを解釈する機

器間でファイルを共有することができるため、機器間でデータを授受することが可能となる。

ファイルシステムでは、データの書き換えを行う際に一旦データを消去し、その後にデータを書込む2段階の動作が必要であり、完全に書き換えが終了するまで多くの時間がかかるという問題点があった。

従来、このような問題を解決する方法として、例えば特開平11-191297号公報による半導体記憶装置が知られている。この発明は、複数の不揮発性メモリを有し、第1の不揮発性メモリの書込みを行う際に第2の不揮発性メモリにおいて消去を行い、これらを並行して処理することによって短時間でデータを書き換えるものである。しかしながらこの従来技術においては、メモリチップに書込むデータサイズにかかわらず並行して消去処理が行われる。消去時間は例えばNAND型フラッシュメモリにおいては、1消去ブロック（通常16KB）の消去には例えば2.0mSecを要する。したがってデータサイズが小さい場合には消去に時間がかかり、書き換え全体の時間が却って長くかかるという欠点があった。

発明の開示

本発明は上記問題点を解消するためになされたものである。本発明は、アクセス装置に接続されて使用される半導体メモリカードであって、制御信号及びデータを前記アクセス装置に対して送信し、前記アクセス装置からの信号を受信するホストインターフェース部と、複数の不揮発性メモリチップを含み、複数の連続するセクタがデータ消去の最小単位であるブロックとしてグループ化された不揮発性メモリと、前記不揮発性メモリに対するデータの消去、書き込み、読み出しを制御するメモリコントローラと、前記アクセス装置から与えられるデータ書き込み開始アドレスとデータサイズとを一時記憶するホスト情報メモリと、を具備する。そして、前記メモリコントローラは、前記ホスト情報メモリに一時保持されたデータ書き込み開始アドレスと

データサイズの値に基づいて、前記不揮発性メモリの無効ブロックを消去するか否かを決定し、前記無効ブロックを消去する際には1つの不揮発性メモリチップへのデータの書き込みと他の不揮発性メモリチップのブロックの消去とを同時に処理する空き物理領域生成部を有するものである。

- 5 また半導体メモリカード内で用いられ、複数の不揮発性メモリチップを含み、複数の連続するセクタがデータ消去の最小単位であるブロックとしてグループ化された不揮発性メモリに接続されて使用される半導体メモリ制御装置であって、制御信号及びデータをアクセス装置に対して送信し、前記アクセス装置からの信号を受信するホストインターフェース部と、前記不揮発性
- 10 メモリに対するデータの消去、書き込み、読み出しを制御するメモリコントローラと、前記アクセス装置から与えられるデータ書き込み開始アドレスとデータサイズとを一時記憶するホスト情報メモリと、を具備する。そして、前記メモリコントローラは、前記ホスト情報メモリに一時保持されたデータ書き込み開始アドレスとデータサイズの値に基づいて、前記不揮発性メモリ
- 15 の無効ブロックを消去するか否かを決定し、前記無効ブロックを消去する際には1つの不揮発性メモリチップへのデータの書き込みと他の不揮発性メモリチップのブロックの消去とを同時に処理する空き物理領域生成部を有するものである。

- またこの半導体メモリ制御方法は、複数の不揮発性メモリチップを含み、
- 20 複数の連続するセクタがデータ消去の最小単位であるブロックとしてグループ化された不揮発性メモリを有する半導体メモリカードにおける半導体メモリ制御方法であって、アクセス装置から与えられるデータ書き込み開始アドレスとデータサイズとをホスト情報メモリに一時記憶し、前記ホスト情報メモリに一時保持されたデータ書き込み開始アドレスとデータサイズの値に基づいて、前記不揮発性メモリの無効ブロックを消去するか否かを決定し、前
- 25 記無効ブロックを消去する際には、1つの不揮発性メモリチップへのデータの書き込みと他の不揮発性メモリチップのブロックの消去とを同時に処理す

るものである。

本発明によれば、アクセス装置より得られる書込み開始アドレスと書込みサイズに基づいて消去ブロックの消去ブロック数を決定し、データの書込みに合わせて消去ブロックを消去している。このため、消去時間が顕在化することなく、処理パフォーマンスを低下させることなく消去を行うことができ、空きブロックを増加させることができる。これにより、半導体メモリカードに対する高速アクセスを実現することができる。

図面の簡単な説明

10 第1図は本発明の実施例1における半導体メモリカード、及びアクセス装置を示した説明図である。

第2図は本発明の実施例1における論物変換制御部のテーブルを示す説明図である。

15 第3図は本発明の実施例1における消去ブロックの構成を示す説明図である。

第4図は本発明の実施例1における半導体メモリカードへのデータ書き込み処理を示すフローチャートである。

第5図は本発明の実施例1におけるサブルーチン(1)の処理を示すフローチャートである。

20 第6図は本発明の実施例1におけるサブルーチン(2)の処理を示すフローチャートである。

第7図は本発明の実施例1におけるデータの書込みと消去ブロックの消去処理を示すタイムチャートである。

25 第8図は本発明の実施例1におけるメモリコントローラと不揮発性メモリのバスを共通にした場合のメモリチップへの書き込み処理と消去処理を示すタイムチャートである。

第9図は本発明の実施例2における半導体メモリカード及びアクセス装置

を示す説明図である。

第 10 図は本発明の実施例 2 における不揮発性メモリの構成を示す説明図である。

第 11 図は本発明の実施例 2 における高速モードでの書込み処理を示すタイムチャートである。

第 12 図は本発明の実施例 2 における低速モードでの書込み処理を示すタイムチャートである。

第 13 図は本発明の実施例 3 における半導体メモリカード及びアクセス装置を示す説明図である。

10 第 14 図は本発明の実施例 3 における論物変換制御部のテーブルを示す説明図である。

第 15 図は本発明の実施例 3 におけるデフラグ処理を示す説明図である。

第 16 図は本発明の実施例 3 におけるデフラグ処理を示すフローチャートである。

15 第 17 図は本発明の実施例 4 における半導体メモリカード及びアクセス装置を示す説明図である。

第 18 図は本発明の実施例 4 における不揮発性メモリの構成を示す説明図である。

20 第 19 図は従来例におけるデータの記録処理を示すタイムチャートである。

第 20 図は本発明の実施例 4 におけるデータの記録処理を示すタイムチャートである。

発明を実施するための最良の形態

25 以下、本発明による半導体メモリカード、半導体メモリ制御装置及び半導体メモリ制御方法の実施例について、図面を参照しつつ説明する。

(実施例 1)

第1図は本発明の実施例1による半導体メモリカードとアクセス装置を示すブロック図である。第1図においてアクセス装置100には、半導体メモリカード111が接続される。半導体メモリカード111は、ホストインターフェース(I/F)部112、CPU113、RAM114、ROM115、メモリコントローラ116、不揮発性メモリ117、及びホスト情報メモリ118を含む。ホストインターフェース部112は、アクセス装置100と制御信号及びデータを送受信するインターフェースである。ROM115には半導体メモリカード111を制御するプログラムが格納されている。このプログラムはRAM114を一時記憶領域として使用し、CPU113
10 上で動作する。メモリコントローラ116は不揮発性メモリ117を制御する素子である。不揮発性メモリ117は半導体メモリカード111内のデータ記憶領域である。メモリコントローラ116は論物変換制御部120、空き物理領域生成部121、及び不揮発性メモリアクセス部123を含む。論物変換制御部120は後述するように、論物変換テーブル131とエントリ
15 テーブル132とを含むものである。又空き物理領域生成部121は、アクセス装置100から送られるデータ書込み開始アドレスとデータサイズに基づいて、不揮発性メモリ117の無効ブロックを消去するかどうかを決定するものである。無効ブロックを消去するときはデータの書き込みと同時に消去する。不揮発性メモリアクセス部123は、メモリコントローラ116より直接不揮発性メモリ117にアクセスしてデータの書込み、読出し、及び
20 消去を行うものである。尚、半導体メモリカードの中の不揮発性メモリ117を除く全てのブロックは、半導体メモリ制御装置を構成している。

不揮発性メモリ117は2つのフラッシュメモリのメモリチップA、Bから成るものとし、夫々の不揮発性メモリチップは例えば16MBのデータ容量を有する。不揮発性メモリ117は後述するように、アドレス管理領域とデータ領域から成り立っている。2つのメモリチップA、Bは独立の双方向バスでメモリコントローラ116と接続されている。
25

又ホスト情報メモリ118は、アクセス装置100から与えられるセクタ単位でのデータ書き込みの開始セクタアドレスSAと、セクタ単位での書き込みサイズLとを一時的に保持するものである。

第2図は論物変換制御部120を示す説明図である。論物変換制御部120は、論物変換テーブル131とエントリテーブル132とから成り立っている。論物変換テーブル131はアクセス装置100から指定された論理セクタアドレスLSAから物理セクタアドレスPSAへの変換を示すテーブルである。不揮発性メモリ117は、論理空間として2Nセクタの空間をもち、メモリチップAとメモリチップBの論理セクタアドレスは論理的に連続であるものとする。論物変換テーブル131において、前半の部分、即ち論理セクタアドレスが0～N-1までは不揮発性メモリチップAに対応するテーブル領域であり、後半の部分、即ち論理セクタアドレスがN～2N-1までは、不揮発性メモリチップBに対応するテーブル領域である。第2図において、各論理セクタが512Bのユーザデータ領域を有するものとする、メモリチップA、Bが夫々16MBのデータ容量を持つ場合、第2図に示す論理セクタアドレスNは 2^{15} となる。ここで32セクタによって1つの物理ブロックが形成される。従って各物理ブロックは16KBの容量を持ち、この物理ブロックは選択的に消去できる単位でもあるため、消去ブロックといわれる。

エントリテーブル132は物理ブロックアドレスPBA0～2M-1までの各物理ブロックについての状態を示すテーブルであり、各物理ブロックについて2ビットのデータから成る。ここで00は有効なデータが記録されている有効ブロック、11はデータが記録されているが、無効なデータであることを示す無効ブロック、10は不良ブロック、01は消去済みブロックであることを示す。エントリテーブル132においても前半部分、即ち物理ブロックアドレスが0～M-1までは不揮発性メモリチップAに対応するテーブル領域であり、後半部分、即ち物理ブロックアドレスがM～2M-1まで

は不揮発性メモリチップBに対応するテーブル領域である。これらの2つのテーブル131、132は夫々RAM等の揮発性メモリに記録されている。

第3図は、各メモリチップA、Bに配列された消去ブロックの構成を示す説明図である。一つの消去ブロックは全32セクタで構成される。各セクタ領域は528バイトの領域があり、いわゆるユーザデータを書き込むデータ領域512バイトと、アドレス管理情報を書き込む管理領域(MR)16バイトとから構成される。アドレス管理情報には、対応する論理アドレスや、対応するデータ領域に格納されたデータが有効なものか無効なものか、あるいは不良ブロックかを表すフラグなどが含まれる。そして電源オン直後の初期化時において、メモリチップA、Bの各消去ブロックの管理領域MRに格納された情報をCPU113が読み出し、論物変換制御部120中のRAM上に第2図の論物変換テーブル131やエントリテーブル132を作成する。

このように構成された半導体メモリカードの書き込み時の動作について第4図～第6図のフローチャート及び第7図、第8図のタイムチャートを用いて説明する。書き込み時にはアクセス装置100はまず、書き込み命令と共に、書き込みの開始セクタアドレスSAと書き込みサイズLを半導体メモリカード111に転送する。開始セクタアドレスSAと書き込みサイズLは、ホスト情報メモリ118に一時記憶される。メモリコントローラ116は、ホスト情報メモリ118に一時記憶された開始セクタアドレスSAと書き込みサイズL及び、不揮発性メモリ117の前半領域と後半領域の境界を表すパラメータ(セクタアドレスN)に基づき、SAがN未満かどうかを判別する(ステップS101)。又SAがN未満の場合はSA+LがNを超えるかどうかを判断する(ステップS102)。これによって前半領域(メモリチップA)のみへの書き込みか、後半領域(メモリチップB)のみへの書き込みか、あるいは、両者を跨ぐ書き込みかを判断する。

前半領域のみへの書き込みであれば、ステップS103に進んでポインタ

mをLとする。ポインタmは各メモリチップへの書込みサイズを示す。そしてサブルーチン(1)の処理を行って(ステップS104)、処理を終える。又ステップS101においてNがSA以上であれば後半領域のみへの書込みであるため、ステップS105においてポインタmをLとし、ステップS106においてサブルーチン(2)の処理を行って(ステップS106)、処理を終える。又前半から後半への書込み、即ち2つのメモリチップAとBを跨ぐ書込みであれば、ステップS107においてポインタmをN-SAとし、サブルーチン(1)によってメモリチップAへの書込み処理を行う(ステップS108)。次いでステップS109においてポインタmをL-mとし、ステップS110においてサブルーチン(2)によってメモリチップBへの書込み処理を行う(ステップS111)。

第5図はサブルーチン(1)の処理を示すフローチャートである。このフローチャートでは動作を開始すると、まずステップS111において $m \times 512B$ が4KBを超えているかどうかをチェックする。本実施例1においては書き込みデータサイズが4KBの時に2mSecの書込み時間を要するものとしている。書き込みデータのサイズが512B単位で8回、即ち4KB以上か否かで書き込み対象のメモリチップ以外のメモリチップ(ここではメモリチップB)を消去するかどうかを、空き物理領域生成部121が判断する。消去する場合は消去コマンドを発行する。ステップS111でこの値が4KBを超える場合には、ステップS112において $(m \times 512B) / 4KB$ の演算を行う。ここでnは商のうちの整数とする。そしてステップS113に進んでメモリチップAの空ブロックに送られてきたデータをアドレス管理情報と共に書込む。又これと同時にメモリチップBの無効ブロックn個を消去する。無効ブロックかどうかはエントリテーブル132に11が記録されているか否かで判断する。消去後にはエントリテーブルはそのブロックに対して01、即ち消去済みブロックとして更新する。無効ブロックがn個以下であれば、すべての無効ブロックを消去し、無効ブロックがなければ消

去は不要である。又ステップS 1 1 1において書込みデータサイズが4 K B未満であれば、メモリチップAの空ブロックに書込みのみを行って処理を終える。

次に第6図はサブルーチン(2)を示すフローチャートである。このフローチャートでは動作を開始すると、まずステップS 1 2 1において $m \times 512$ Bが4 K Bを超えているかどうかをチェックする。本実施例1においては書き込みデータサイズが4 K Bの時に2 m S e cの書込み時間を要する例としており、書き込みデータのサイズが512 B単位で8回、即ち4 K B以上か否かで書き込み対象のメモリチップ以外のメモリチップ(ここではメモリチップA)を消去するかどうかを、空き物理領域生成部1 2 1が判断する。消去する場合は、消去コマンドを発行する。ステップS 1 2 1でこの値が4 K Bを超える場合には、ステップS 1 2 2において $(m \times 512 \text{ B}) / 4 \text{ K B}$ の演算を行う。ここでnは商のうちの整数とする。そしてステップS 1 2 3に進んでメモリチップBの空ブロックに送られてきたデータをアドレス管理情報と共に書込む。又これと同時にメモリチップAの無効ブロックn個を消去する。無効ブロックかどうかはエントリテーブル1 3 2に1 1が記録されているか否かで判断する。消去後にはエントリテーブルはそのブロックに対して0 1、即ち消去済みブロックとして更新する。無効ブロックがn個以下であれば、すべての無効ブロックを消去し、無効ブロックがなければ消去は不要である。又ステップS 1 2 1において書込みデータサイズが4 K B以下であれば、メモリチップBの空ブロックに書込みのみを行って処理を終える。

次にステップS 1 1 3のメモリチップAの書込みとメモリチップBの消去処理について、タイムチャートを用いて説明する。第7図は前半領域(メモリチップA)のみへの書き込みの場合において、書き込みサイズが4 K Bの場合のタイムチャートを示す。第7図の上部はメモリチップAへのアクセスを示す。ライトコマンドWCの発行期間は、不揮発性メモリチップAへの書

き込み指示と書き込み先アドレスを転送する期間である。データ転送 (DATA) の期間は、書き込みデータをメモリチップAへ転送する期間である。又プログラムビジー期間 (BUSY) は、書き込みデータをメモリチップAへ実際に書込む期間である。実際には不揮発性メモリアクセス部123より

5 ライトコマンドを発行する。次いでデータ転送時には、1セクタ分の512 Bの書き込みデータとそれに対応する管理領域の16 Bの情報、即ち528 Bのデータ転送が行われる。この間は約50 μ sである。次いで書込み時間はビジーフラグ (BUSY) が立てられる。この間は約200 μ sである。こうして最初のセクタへの書き込み (W1) が終了すると、次のセクタの書

10 込みに同様の処理が繰り返される。こうして8セクタ分のデータを書き込むことによって、1物理ブロック分、即ち4KB分のデータの書込むことができる。この4KB分のデータの書込み時間は250 \times 8 (μ s)、即ち約2 msの時間を要する。

一方これと同期して、ほぼ同一の時間を要する消去処理をメモリチップB

15 に対して行う。このメモリチップBの消去対象となるブロックは、エントリテーブル132において無効ブロック (2進数で11) として示されている物理ブロックである。この物理ブロックに対して消去コマンドECを発行する。そうすれば消去中の期間に消去ビジー信号 (BUSY) が得られ、この間消去が行われる。

20 ここで不揮発性メモリとしてNANDフラッシュメモリなどを使用した場合、プログラムビジー時間 (200 μ s) に対して消去ビジー時間が長い (例えば2 mSec)。

以上の処理により、メモリチップAへの書き込みサイズが4KB以上の場合は、メモリチップBの消去と同時に書込み処理することにより、消去時間

25 が顕在化しないので、全体的な処理パフォーマンスを合理化することができる。更に書き込みサイズLに相当する消去ブロック数を算出することにより処理パフォーマンスを低下させることがなく、できるだけ多くのセクタを消

去することができる。

尚、第7図ではメモリチップAへの書き込みとメモリチップBの消去と同時に実行する例を示したが、第6図のフローチャートのステップS123に示すように、メモリチップBへの書き込みとメモリチップAを消去する場合
5 にも、メモリチップA、Bが逆となるだけで同一の動作が行われる。又メモリチップAとBを跨いで書き込みをする場合にも、これらの処理が順次行われる。

尚、この実施例では不揮発性メモリ117のメモリチップA、Bは独立したバスでメモリコントローラ116に接続されているが、1つのバスで共通
10 に接続されていてもよい。但しその場合は、第7図のライトコマンドと消去コマンドがバス競合を起こさないように、空き物理領域生成部121は、ライトコマンドWC、及びデータ転送期間と消去コマンドの発行のタイミングを時間的にずらせる。即ち第8図に示すように、バスを用いるライトコマンド発行期間WC、データ転送期間(DATA)の後に、消去コマンドECを
15 発行する。そして消去コマンドを発行した後にBUSY状態が終われば次のセクタのライトコマンド、これに続くデータ転送を行う。こうすれば複数のメモリチップとメモリコントローラとを1つのバスで共通に接続することができる。

またこの実施例では、消去ブロックの消去時間に相当する書き込み時間を
20 要する場合に、消去と書き込みとを並行して処理している。ここで示した数値は一例であり、書き込み時間、消去時間によってこれらの数値は適宜選択できるものとする。

また第2図に示した論物変換テーブルは、ブロック単位で変換するための
25 変換テーブルであっても構わない。また複数の消去ブロックをグループとした単位で変換を行ってもよい。更にこの実施例では不揮発性メモリとして2つのメモリチップを用いたが、複数の任意のメモリチップを用いて構成することもできる。

(実施例 2)

第 9 図は、本発明の実施例 2 における半導体メモリカードを示す図である。本図においてアクセス装置 100 には、半導体メモリカード 111 が接続
5 される。半導体メモリカード 111 は、ホストインターフェース (I/F) 部 112、CPU 113、RAM 114、ROM 115、メモリコントローラ 141、不揮発性メモリ 117、及びホスト情報メモリ 142 を含む。ホストインターフェース部 112 は、アクセス装置 100 と制御信号及びデータを送受信するインターフェースである。ROM 115 には半導体メモリカ
10 ード 111 を制御するプログラムが格納されている。このプログラムは RAM 114 を一時記憶領域として使用し、CPU 113 上で動作する。メモリコントローラ 116 は不揮発性メモリ 117 を制御する素子である。不揮発性メモリ 117 は半導体メモリカード 111 内のデータ記憶領域である。メモリコントローラ 141 は論物変換制御部 143、及び不揮発性メモリアクセス部 144 を含む。論物変換制御部 143 は論物変換テーブルとエントリ
15 テーブルとを含むものである。不揮発性メモリアクセス部 144 は、メモリコントローラ 141 より直接不揮発性メモリ 117 にアクセスしてデータの書込み、読出し、及び消去を行うものである。

不揮発性メモリ 117 は 2 つのフラッシュメモリのメモリチップ A、B から成るものとし、夫々の不揮発性メモリチップは例えば 16 MB のデータ容量を有する。不揮発性メモリ 117 は後述するように、アドレス管理領域とデータ領域から成り立っている。2 つのメモリチップ A、B は独立の双方向バス No. 0、No. 1 でメモリコントローラ 141 と接続されている。

ホスト情報メモリ 142 はアクセス装置 100 から伝送されたアクセス速度を保持するものであり、高速モード及び低速モードのいずれか一方の状態が保持されている。不揮発性メモリアクセス部 144 は高速モードが設定されている場合には、ピーク電流が大きいアクセスも許容されているので、不
25

揮発性メモリ 1 1 1 7 をアクセスする際に高速でアクセスする。又低速モードが設定されている場合には、不揮発性メモリ 1 1 7 をアクセスする際に、ピーク電流を小さくして電源への負荷を軽くするように制御するものである。

- 5 第 1 0 図はメモリチップ A, B の内部構成を示した説明図である。不揮発性メモリ 1 1 7 内のメモリチップ A, B はいずれも、夫々バンク B 0 ~ バンク B 3 までの 4 つのバンクに分割されている。バンク B 0 ~ B 3 はそれぞれページ単位で同時に書き込みを行う。各消去ブロック E B (4 K B = 4 2 2 4 B) は夫々ページ 0, ページ 1 の 2 ページから構成される。メモリチップ
- 10 A, B のバンク毎に 1 つずつの消去ブロックから構成される全 8 消去ブロックを論理セクション L S とする。不揮発性メモリ 1 1 7 全体は L S 0 ~ L S 2 5 5 の 2 5 6 セクションから構成される。

- 以上のように構成された半導体メモリカード、及びアクセス装置について、以下第 1 0 図、第 1 1 図を中心にその動作を説明する。まずアクセス装置
- 15 1 0 0 の電源が投入され初期化する際に、もしくはアクセス装置 1 0 0 上でのスイッチ操作があったときに、スピードモードが転送され、ホスト情報メモリ 1 4 2 に格納される。不揮発性メモリアクセス部 1 4 4 はホスト情報メモリ 1 4 2 に格納されたスピードモードを参照して、アクセスの形態を決定する。

- 20 次に高速スピードモードの場合について、第 1 1 図を用いて説明する。高速モードで書き込みを行う場合、アクセス装置 1 0 0 から書き込みデータ A, B, C, D … が第 1 1 図に示すように連続してホストインターフェース部 1 1 2 を介して転送される。ここで書き込みデータの論理アドレスは連続したアドレスとする。こうして転送されたデータは一旦バッファに保持される。こ
- 25 のアドレスは論物変換制御部 1 4 3 によって物理アドレスに変換される。データ及びアドレスはバス No. 0 を通じてメモリチップ A に書込まれる。ここで WC はライトコマンドを示す。又 T 1 はデータ転送期間、T 2 は実際に

メモリチップAに書き込み処理を行うプログラムビジー時間である。バスNo. 0のデータ転送が終了すると、続いてバスNo. 1に対してライトコマンド、続けてT1期間にデータBのデータ転送が行われる。メモリチップBに対し、T2期間でデータの書き込みが行われる。この書き込み中にもメモリチップAへの書き込み処理が終了すると、バスNo. 0よりライトコマンド、データCのデータ転送及び書き込みが行われる。又メモリチップBに対しては書き込みが終わると、ライトコマンド、データDの転送、データの書き込み処理が行われる。このようにデータA、Cの書き込みとデータB、Dの書き込みの時間が第11図に示すように重なるが、並列して書き込むことによって高速な書き込み処理が行われる。

一方、ホスト情報メモリ142に設定したスピードモードが低速スピードモードの場合については、第12図を用いて説明する。書き込みデータA、B、C、D…の実際の書き込み期間、即ちプログラムビジー期間は、データ転送などに比較して電流を多く消費する期間である。低速モードではプログラムビジー時間が時間的に重ならないように書き込み制御される。具体的にはバスNo. 0に対しライトコマンドWCを発行し、データAの転送を行うと、メモリチップAの書き込みが行われ、その間プログラムビジー（BUSY）となる。不揮発性メモリアクセス部144はこの書き込み処理が終了し、書き込み対象であるメモリチップAのプログラムビジー信号（BUSY）の解除が不揮発性メモリアクセス部144へ通知されるまで、カードビジー信号をアクセス装置100に対してフィードバックし、データ転送を停止させる。その後停止が解除されると、アクセス装置100から引き続いてデータBが転送される。この後バスNo. 1に対しライトコマンドWCを発行し、データBのデータ転送を行う。そうすればメモリチップによる書き込みの際プログラムビジー（BUSY）となる。この間もアクセス装置100よりデータの転送を停止させる。書き込みが終了すると、次のデータCが転送され、同様の処理が繰り返される。このような双方向制御により電流を多く消費するプロ

グラムビジー期間が分散され、ピーク電流を抑えることができる。

従って電源供給回路の耐電流値の低いアクセス装置 100 を使用する場合は低速スピードモードを選択すべく、アクセス装置 100 がホスト情報メモリ 142 に低速モードを設定する。一方電源供給回路の耐電流値の高いアクセス装置 100 を使用する場合において高速アクセスを要求する場合は、高速スピードモードをホスト情報メモリ 142 に設定する。不揮発性メモリアクセス部 144 は、第 11 図または第 12 図に示すアクセス形態を選択して、それぞれに対応した書き込み制御を行う。

尚この実施例では、2つのメモリチップ A、B を用いて夫々データ書き込みの重なりを許容する高速モードと、重なりを許容しない低速モードとを切替えている。メモリチップが更に多数、例えば 4 つの場合には、2つのメモリチップの重なった書き込みを許容する低速モードと全てのメモリチップへの書き込みを同時に行うことができる高速モードのように切替えることもできる。又低速モードではいずれか 1 つのメモリチップへの書き込みのみを許容し、高速モードで 2 以上のメモリチップへの重複書き込みを許容するようにしてもよい。

この実施例による半導体メモリカードは、アクセス装置に接続されて使用される半導体メモリカードであって、

制御信号及びデータを前記アクセス装置に対して送信し、前記アクセス装置からの信号を受信するホストインターフェース部と、

複数の不揮発性メモリチップを含み、複数の連続するセクタがデータ消去の最小単位であるブロックとしてグループ化された不揮発性メモリと、

前記複数の不揮発性メモリチップと夫々独立した双方向性バスで接続され、データの消去、書き込み、読み出しを制御するメモリコントローラと、

前記アクセス装置から与えられる書き込みスピードモードを一時記憶するホスト情報メモリと、を具備し、

前記メモリコントローラは、

前記ホスト情報メモリに記憶されたスピードモードに応じて前記複数の不揮発性メモリへのそれぞれの書き込みタイミングを制御しつつ、前記複数の不揮発性メモリチップに対して書き込みを行う不揮発性メモリアクセス部と、を具備する半導体メモリカードである。

- 5 ここで、前記ホスト情報メモリに保持されている書き込みスピードモードが高速モードの場合に、前記複数の不揮発性メモリチップに対して並列に書き込みを行い、

- 前記ホスト情報メモリに保持されている書き込みスピードモードが低速モードの場合に、前記複数の不揮発性メモリチップに対して順次に書き込みを行うものとすることができる。
- 10

また、本実施例による半導体メモリ制御方法は、複数の不揮発性メモリチップを含み、複数の連続するセクタがデータ消去の最小単位であるブロックとしてグループ化された不揮発性メモリを有する半導体メモリカードにおける半導体メモリ制御方法であって、

- 15 前記ホスト情報メモリに記憶されたスピードモードに応じて前記複数の不揮発性メモリへのそれぞれの書き込みタイミングを制御しつつ、前記複数の不揮発性メモリチップに対して書き込みを行うものとすることができる。

(実施例 3)

- 20 次に本発明の実施例 3 について説明する。第 13 図はこの実施例による半導体メモリカードを示すブロック図である。第 13 図においてアクセス装置 100 には、半導体メモリカード 111 が接続される。半導体メモリカード 111 は、ホストインターフェース (I/F) 部 112、CPU 113、RAM 114、ROM 115、メモリコントローラ 151、不揮発性メモリ 1
- 25 17、及びホスト情報メモリ 155 を含む。ホストインターフェース部 112 は、アクセス装置 100 と制御信号及びデータを送受信するインターフェースである。ROM 115 には半導体メモリカード 111 を制御するプログ

ラムが格納されている。このプログラムはRAM 114を一時記憶領域として使用し、CPU 113上で動作する。メモリコントローラ 151は不揮発性メモリ 117を制御する素子である。不揮発性メモリ 117は半導体メモリカード 111内のデータ記憶領域である。メモリコントローラ 151は論物変換制御部 152、空き物理領域生成部 153、及び不揮発性メモリアクセス部 154を含む。論物変換制御部 152は後述するように、論物変換テーブル 156とエントリテーブル 157とを含むものである。又空き物理領域生成部 153は、不揮発性メモリ 117内の記録状態を整理し空きブロック（消去済みブロック）を増加させ、書き込み前に消去することなくいつでも書き込みができる状態にするものである。不揮発性メモリ 117は、1つのメモリチップでもよく、複数の不揮発性メモリを用いたものであってもよい。また不揮発性メモリ 117内の消去ブロックは、実施例 1 の第 3 図と同様であるとする。

ここで空き物理領域生成部 153は、各消去ブロック単位で所定の閾値 T_{h1} 以上のセクタにデータが書込まれた時点でその消去ブロックをデフラグ対象ブロックとし、後述する論物変換制御部 152のエントリテーブルに登録する。又後述するように、エントリテーブル内の空きブロックを計数し、計数値が所定の閾値 T_{h2} 以下となったときにデフラグ要求信号をアクセス装置 100に送信するものである。

第 14 図は論物変換制御部 152を示した説明図である。論物変換制御部 152は、アクセス装置 100から指定された論理セクタアドレス L_{SA} から物理セクタアドレス P_{SA} への変換処理及び各物理ブロックの状態を管理するテーブルである。このテーブルは、論理セクタアドレス L_{SA} を物理セクタアドレス P_{SA} に変換する論物変換テーブル 156と、エントリテーブル 157から成り立っている。エントリテーブル 157は各物理ブロックアドレス $P_{BA0} \sim M-1$ に対応して各物理ブロックの状態を示す 3 ビットの情報が保持されている。ここで 000 は有効ブロック、011 は無効ブロッ

ク、010は不良ブロック、001は空きブロック、即ち消去済みブロック、100はデフラグの対象となるブロックを示す。これらの2つのテーブルはRAM等の揮発性メモリに記憶されている。電源オン直後の初期化時において、CPU113は不揮発性メモリ117の各消去ブロックの管理領域に
5 格納された情報を読み出し、論物変換制御部152内のRAM上に論物変換テーブル156やエントリテーブル157を作成する。

以上のように構成された半導体メモリカード、及びアクセス装置について、以下第15図、第16図を中心にその動作を説明する。アクセス装置100が半導体メモリカードに書き込み等の処理を行っていくうちに、次第に不
10 揮発性メモリ117の空きブロックが少なくなってくる。ここで本実施例3では、実施例2のように、消去ブロック内の各セクタ（ページ）は論理順に書き込まず、アクセス装置100が転送する論理セクタはその論理セクタアドレスに関わらず、消去ブロックの昇順に書込むものとする。具体的には第15図に示すように、アクセス装置100から論理セクタLS4, LS0,
15 LS0, LS1, LS3…への書き込み命令があると、消去ブロック1のセクタナンバーの0, 1, 2, 3…位置に昇順に書込んでいく。尚Nは新規フラグ情報を示すフラグ、0は旧情報を示すフラグである。

第16図は半導体メモリカードの処理を示すフローチャートである。動作を開始すると、まずステップS301においてアクセス要求があるかどうか
20 をチェックし、又アクセス要求でなければデフラグ指示かどうかをチェックする（ステップS302）。アクセス要求があればステップS303においてカードアクセスを行う。そしてステップS303において書込んだ不揮発性メモリの消去ブロック中の有効セクタが閾値Th1を超えているかどうかをチェックする。閾値Th1以下であればステップS301, 302のルー
25 プに戻って同様の処理を繰り返す。カードアクセスが進んで消去ブロック内に閾値Th1を超えるセクタが書き込まれた時点で、空き物理領域生成部153はその消去ブロックをデフラグ対象ブロックとして第14図のエントリ

テーブル 1 5 7 に登録する（ステップ S 3 0 5）。そしてアクセス装置 1 0 0 が続いて転送してきた論理セクタのデータは別の空きブロック（消去済みブロック）をエントリテーブル 1 5 7 からサーチして書き込んでいく。これを続けることにより次第にエントリテーブル中の空きブロックが少なくなり、反対にデフラグ対象ブロックが多くなってくる。空き物理領域生成部 1 5 3 はステップ S 3 0 5 において消去ブロックをデフラグ対象フラグとした後、ステップ S 3 0 6 に進んで空きブロック数を計数し、閾値 T h 2 以下であるかどうかをチェックする。空きブロック数が閾値 T h 2 を超えていればステップ S 3 0 1, 3 0 2 のループに戻って同様の処理を繰り返す。空きブロック数が閾値以下の場合には通常デフラグ対象のブロック数も多いと考えられるので、ステップ S 3 0 7 に進んでデフラグ要求信号をアクセス装置 1 0 0 に送る。尚ステップ S 3 0 6 において、空きブロック数でなくデフラグ対象フラグを計数しても良い。またステップ S 3 0 7 では、デフラグ要求信号に代えてアクセスカウント値をアクセス装置 1 0 0 に送るようにしてもよい。

アクセス装置 1 0 0 は、デフラグ要求信号を受け付けた後に直ちにデフラグ指示信号を半導体メモリカード 1 1 1 に転送してもよい。また上記カウント値が得られたときにはカウント値に基づき、この後に転送するデータ容量に応じて、デフラグ指示信号の転送時期を見極めた上でデフラグ指示信号を発行してもよい。メモリカードはアクセス装置からデフラグ要求信号を受け付けると、ステップ S 3 0 2 からステップ S 3 0 8 に進んで、アクセス装置 1 0 0 から転送されたデフラグ指示信号をホスト情報メモリ 1 5 5 に一時記憶する。そして空き物理領域生成部 1 5 3 がこれを参照して、不揮発性メモリアクセス部 1 5 4 に対してデフラグ処理の指示を発行する。

例えば第 1 5 図において、消去ブロック E B 1 と E B 5 はいずれもデフラグ対象ブロックとして登録された消去ブロックとする。この場合、消去ブロック E B 1, E B 5 の各セクタナンバー（新規フラグ N がマークされたセク

- タのみ)をみて、空きの消去ブロック9に論理セクタ順にマージ処理を行うように、不揮発性メモリアクセス部154に読み書き指示を発行する。不揮発性メモリアクセス部154はその指示に従い、第15図に示すように消去ブロックEB1とEB5から新規フラグNの立った論理セクタから空き消去
- 5 ブロックEB9にコピーする。この後に消去ブロックEB1, EB5は無効ブロックとしてエントリテーブル157に登録する。こうすれば半導体メモリカードがアクセス装置からの指示なくデフラグする場合に比べて、アクセス装置からの指示によってデフラグするので、速度低下なく、必要な時期にデフラグを行うことができる。
- 10 尚、論物変換テーブルやエントリテーブルは、比較的高速にアクセスできればRAM以外の揮発性読み書きメモリを使用しても構わない。

ここで本実施例による半導体メモリカードは、アクセス装置に接続されて使用される半導体メモリカードであって、

- 制御信号及びデータを前記アクセス装置に対して送信し、前記アクセス装置からの信号を受信するホストインターフェース部と、
- 15

複数の不揮発性メモリチップを含み、複数の連続するセクタがデータ消去の最小単位であるブロックとしてグループ化された不揮発性メモリと、

前記不揮発性メモリに対するデータの消去、書き込み、読み出しを制御するメモリコントローラと、

- 20 前記アクセス装置から与えられるデフラグ指示信号を一時記憶するホスト情報メモリと、を具備し、

前記メモリコントローラは、

- 前記不揮発性メモリの消去済みブロックの残量を検出し、消去済みブロックの数が所定数以下のときに前記アクセス装置に対してデフラグ要求信号を発行すると共に、ホスト情報メモリにデフラグ指示信号が一時記憶されているときにデフラグを実行する空き物理領域生成部を有する半導体メモリカードである。
- 25

また本実施例による半導体メモリの制御方法は、複数の不揮発性メモリチップを含み、複数の連続するセクタがデータ消去の最小単位であるブロックとしてグループ化された不揮発性メモリを有する半導体メモリカードにおける半導体メモリ制御方法であって、

- 5 前記アクセス装置から与えられるデフラグ指示信号をホスト情報メモリに一時記憶し、

前記不揮発性メモリの消去済みブロックの残量を検出し、

消去済みブロックの数が所定数以下のときに前記アクセス装置に対してデフラグ要求信号を発行し

- 10 ホスト情報メモリにデフラグ指示信号が一時記憶されているときにデフラグを実行するものである。

(実施例 4)

- 第 17 図は、本発明の実施例 4 におけるアクセス装置と半導体メモリカードを示したブロック図である。第 17 図においてアクセス装置 100 には、
- 15 半導体メモリカード 111 が接続される。半導体メモリカード 111 は、ホストインターフェース (I/F) 部 112、CPU 113、RAM 114、ROM 115、メモリコントローラ 161、不揮発性メモリ 164、及びホスト情報メモリ 165 を含む。ホストインターフェース部 112 は、アクセス装置 100 と制御信号及びデータを送受信するインターフェースである。
- 20 ROM 115 には半導体メモリカード 111 を制御するプログラムが格納されている。このプログラムは RAM 114 を一時記憶領域として使用し、CPU 113 上で動作する。メモリコントローラ 161 は不揮発性メモリ 164 を制御する素子である。不揮発性メモリ 164 は半導体メモリカード 111
- 25 1 内のデータ記憶領域である。メモリコントローラ 164 は論物変換制御部 162、及び不揮発性メモリアクセス部 163 を含む。不揮発性メモリアクセス部 163 は、メモリコントローラ 161 より直接不揮発性メモリ 164

にアクセスしてデータの書込み、読出し、及び消去を行うものである。

又ホスト情報メモリ165はアクセス装置100からのアロケーションテーブル更新指示信号を一時的に保持するものである。

- 第18図は不揮発性メモリ164の内部構成を示した説明図である。不揮発性メモリ164における消去ブロックやページの仕様は、実施例2の不揮発性メモリチップと同様である。不揮発性メモリ164は実施例1～3と異なり、アドレス管理情報は不揮発性メモリ164内のアロケーションテーブル(AT)領域に、論物変換テーブルやエントリテーブルのフォーマット形式にて記憶されている。ここでアロケーションテーブル(AT)とは、メモリコントローラ161が不揮発性メモリ164を管理するためのテーブルを示す。アロケーションテーブル領域(AT領域)は管理情報であるATをデータ領域とは別の領域にまとめて記録するものである。不揮発性メモリ164に存在する消去ブロック数が非常に多い場合においては、実施例1～3のように初期化時に各消去ブロックの管理領域の管理情報に基づいてRAM上に論物変換テーブルやエントリテーブルを生成する方法をとると、時間が比較的長くなる。そこで消去ブロック数が多い不揮発性メモリを使用する場合には、初期化時間を短縮するために、不揮発性メモリ164の特定のAT領域に集中して管理情報を保持するAT管理方式(以下、集中型格納方式という)がとられる。
- 20 論物変換制御部162は論物変換テーブルとエントリテーブルを含む。両者共RAMなどの揮発性メモリに記憶されている。電源オン直後の初期化時において、不揮発性メモリ164のAT領域上のアロケーションテーブルをCPU113が読み出し、論物変換制御部162内のRAM上に論物変換テーブルやエントリテーブルを作成する。AT領域からのデータの読出し、即ちATリードは、ATが全データ領域を管理する場合は、初期化時のみだけでよい。

以上のように構成された半導体メモリカード、及びアクセス装置について

- 、以下第18図～第20図を中心にその動作を説明する。第19図は従来の不揮発性メモリアクセス部のアクセス形態、第20図は不揮発性メモリアクセス部163のアクセス形態を示した説明図である。従来の半導体メモリカードでは、アクセス装置100からデータを書き込む毎に、論物変換制御部
- 5 162のテーブルを同時に更新する。従って更新された論物変換制御部162のテーブルを不揮発性メモリ164に書き戻す処理が必要であった。第19図はデータ書き込み情報の処理を示しており、データライトはデータの書き込みの期間、ATライトは論物変換制御部162の更新されたテーブルを不揮発性メモリ164のAT領域に書き戻す処理を示している。
- 10 このATライトに要する時間的オーバーヘッドにより処理パフォーマンス面が低下する。特に、データライトの容量が小さい場合には、全体の処理時間（データライト時間+ATライト時間）に対してATライト時間の割合が比較的大きくなるので、問題となる。
- アクセス装置100が例えば数百KBオーダのサイズのユーザデータを連続で書き込み、更にアクセス装置100側のFATの更新も数百KBオーダ
- 15 で更新するシステムにおいては、ATもその周期に対応して更新すればよい。その理由は、ファイル・アロケーションテーブル（以下、FATという）が更新されて不揮発性メモリ164への書き込みが完了する前に電源遮断などが起きた場合、FATは更新されないの、ATも更新する必要がない。
- 20 逆にFAT更新とAT更新の整合をとった方が合理的であると言える。アクセス装置100はその使用用途によって、FAT更新のスパンは異なる。従って、使用用途に応じて処理パフォーマンスの最適化を行う為に、アクセス装置100側からAT更新のタイミングを制御し、AT更新指示信号を転送すれば良い。そこで本実施例4においては、アクセス装置100がATの更新
- 25 を指示するAT更新指示信号を用いる。

本実施例では第20図に示すように、複数のデータを書込んだ後、FATの書き込みを終え、その後ホストであるアクセス装置100より半導体メモリ

カードにAT更新指示信号が与えられる。AT更新指示信号は一旦ホスト情報メモリ165に保持される。不揮発性メモリアクセス部163は更新されている論物変換制御部162内の論物変換テーブルや変換テーブルの情報をATとして不揮発性メモリ164のAT領域に書込む。

- 5 同様にして複数のデータを消去した場合にも、FATの書き込みを終え、その後ホストであるアクセス装置100より半導体メモリカードにAT更新指示信号が与えられる。AT更新指示信号は一旦ホスト情報メモリ165に保持される。不揮発性メモリアクセス部163は更新されている論物変換制御部162内の論物変換テーブルや変換テーブルの情報をATとして不揮発性
- 10 メモリ164のAT領域に書込む。こうすればATライトする際の時間的なオーバーヘッドを少なくし、処理パフォーマンスを向上させることができる。

ここで、本実施例による半導体メモリカードは、アクセス装置に接続されて使用される半導体メモリカードであって、

- 15 制御信号及びデータを前記アクセス装置に対して送信し、前記アクセス装置からの信号を受信するホストインターフェース部と、

複数の連続するセクタがデータ消去の最小単位であるブロックとしてグループ化され、アドレス管理情報領域とユーザデータ領域とが夫々異なったブロックに保持される不揮発性メモリと、

- 20 アドレス管理情報を保持する揮発性メモリを有し、前記不揮発性メモリに対してデータの消去、書き込み、読み出しを行い、データの消去、書き込みをする毎に前記揮発性メモリを更新するメモリコントローラと、

アクセス装置から転送されたアドレス管理情報更新信号を一時記憶するホスト情報メモリと、を具備し、

- 25 前記メモリコントローラは、

前記アクセス装置から書き込み命令とデータが与えられたときに転送されたデータを前記不揮発性メモリに書き込み、消去命令が与えられたときに指

- 定されたブロックを消去すると共に、前記ホスト情報メモリに前記アドレス管理情報更新信号が保持されているときに、前記メモリコントローラの揮発性メモリに保持されているアドレス管理情報を前記不揮発性メモリのアドレス管理情報領域に書き込む不揮発性メモリアクセス部を備えたことを特徴とする半導体メモリカードである。

- また、本実施例による半導体メモリの制御方法は、複数の連続するセクタがデータ消去の最小単位であるブロックとしてグループ化され、アドレス管理情報領域とユーザデータ領域とが夫々異なったブロックに保持される不揮発性メモリを有する半導体メモリカードにおける半導体メモリ制御方法であって、

アドレス管理情報を保持する揮発性メモリを有し、前記不揮発性メモリに対してデータの消去、書き込みをする毎に前記揮発性メモリを更新し、

アクセス装置から転送されたアドレス管理情報更新信号をホスト情報メモリに一時記憶し、

- 前記アクセス装置から書き込み命令とデータが与えられたときに転送されたデータを前記不揮発性メモリに書き込み、

消去命令が与えられたときに指定されたブロックを消去し、

- 前記ホスト情報メモリに前記アドレス管理情報更新信号が保持されているときに、前記メモリコントローラの揮発性メモリに保持されているアドレス管理情報を前記不揮発性メモリのアドレス管理情報領域に書き込むことを特徴とするものである。

産業上の利用の可能性

- 本発明に関わる半導体メモリカード、半導体メモリ制御装置は、アクセス装置側、半導体メモリカード側のいずれか、あるいは両者の処理を最適化することにより、半導体メモリカードに対する高速アクセスを実現することができる。このような半導体メモリカード、及びアクセス装置または方法は、

半導体メモリカードを記録媒体として使用するデジタルA V機器や携帯電話端末、デジタルカメラ、P C等に利用できる。また、転送レートの高い高品質A Vデータを記録する記録媒体、及び機器に使用する場合、特に好適に機能する。

請 求 の 範 囲

1. アクセス装置に接続されて使用される半導体メモリカードであって、
制御信号及びデータを前記アクセス装置に対して送信し、前記アクセス装置からの信号を受信するホストインターフェース部と、
- 5 複数の不揮発性メモリチップを含み、複数の連続するセクタがデータ消去の最小単位であるブロックとしてグループ化された不揮発性メモリと、
前記不揮発性メモリに対するデータの消去、書き込み、読み出しを制御するメモリコントローラと、
前記アクセス装置から与えられるデータ書き込み開始アドレスとデータサイズとを一時記憶するホスト情報メモリと、を具備し
- 10 前記メモリコントローラは、
前記ホスト情報メモリに一時保持されたデータ書き込み開始アドレスとデータサイズの値に基づいて、前記不揮発性メモリの無効ブロックを消去するか否かを決定し、前記無効ブロックを消去する際には1つの不揮発性メモリ
- 15 チップへのデータの書き込みと他の不揮発性メモリチップのブロックの消去とを同時に処理する空き物理領域生成部を有する半導体メモリカード。
2. 前記空き物理領域生成部は、書き込みデータを書き込む時間に相当する消去時間となるように、消去するブロック数を決定する請求項1記載の半導体メモリカード。
- 20
3. 前記メモリコントローラは、前記複数の不揮発性メモリチップと夫々独立した双方向性バスで接続されている請求項1記載の半導体メモリカード。
- 25
4. 前記不揮発性メモリは、2つの不揮発性メモリチップから成り、一方の不揮発性メモリチップへの書き込み処理をする期間に、他方の不揮発性メモリ

メモリチップ内の無効ブロックを消去する請求項 1 記載の半導体メモリカード。

5. 複数の不揮発性メモリチップを含み、複数の連続するセクタがデータ
5 消去の最小単位であるブロックとしてグループ化された不揮発性メモリに接続されて使用される半導体メモリ制御装置であって、

制御信号及びデータをアクセス装置に対して送信し、前記アクセス装置からの信号を受信するホストインターフェース部と、

前記不揮発性メモリに対するデータの消去、書き込み、読み出しを制御するメモリコントローラと、
10

前記アクセス装置から与えられるデータ書き込み開始アドレスとデータサイズとを一時記憶するホスト情報メモリと、を具備し

前記メモリコントローラは、

前記ホスト情報メモリに一時保持されたデータ書き込み開始アドレスとデータサイズの値に基づいて、前記不揮発性メモリの無効ブロックを消去するか否かを決定し、前記無効ブロックを消去する際には 1 つの不揮発性メモリ
15 チップへのデータの書き込みと他の不揮発性メモリチップのブロックの消去とを同時に処理する空き物理領域生成部を有する半導体メモリ制御装置。

20 6. 前記空き物理領域生成部は、書き込みデータを書き込む時間に相当する消去時間となるように、消去するブロック数を決定する請求項 5 記載の半導体メモリ制御装置。

7. 前記メモリコントローラは、前記複数の不揮発性メモリチップと夫々
25 独立した双方向性バスで接続されている請求項 5 記載の半導体メモリ制御装置。

8. 前記不揮発性メモリは、2つの不揮発性メモリチップから成り、一方の不揮発性メモリチップへの書き込み処理をする期間に、他方の不揮発性メモリチップ内の無効ブロックを消去する請求項5記載の半導体メモリ制御装置。

5

9. 複数の不揮発性メモリチップを含み、複数の連続するセクタがデータ消去の最小単位であるブロックとしてグループ化された不揮発性メモリを有する半導体メモリカードにおける半導体メモリ制御方法であって、

10 アクセス装置から与えられるデータ書き込み開始アドレスとデータサイズとをホスト情報メモリに一時記憶し、

前記ホスト情報メモリに一時保持されたデータ書き込み開始アドレスとデータサイズの値に基づいて、前記不揮発性メモリの無効ブロックを消去するか否かを決定し、

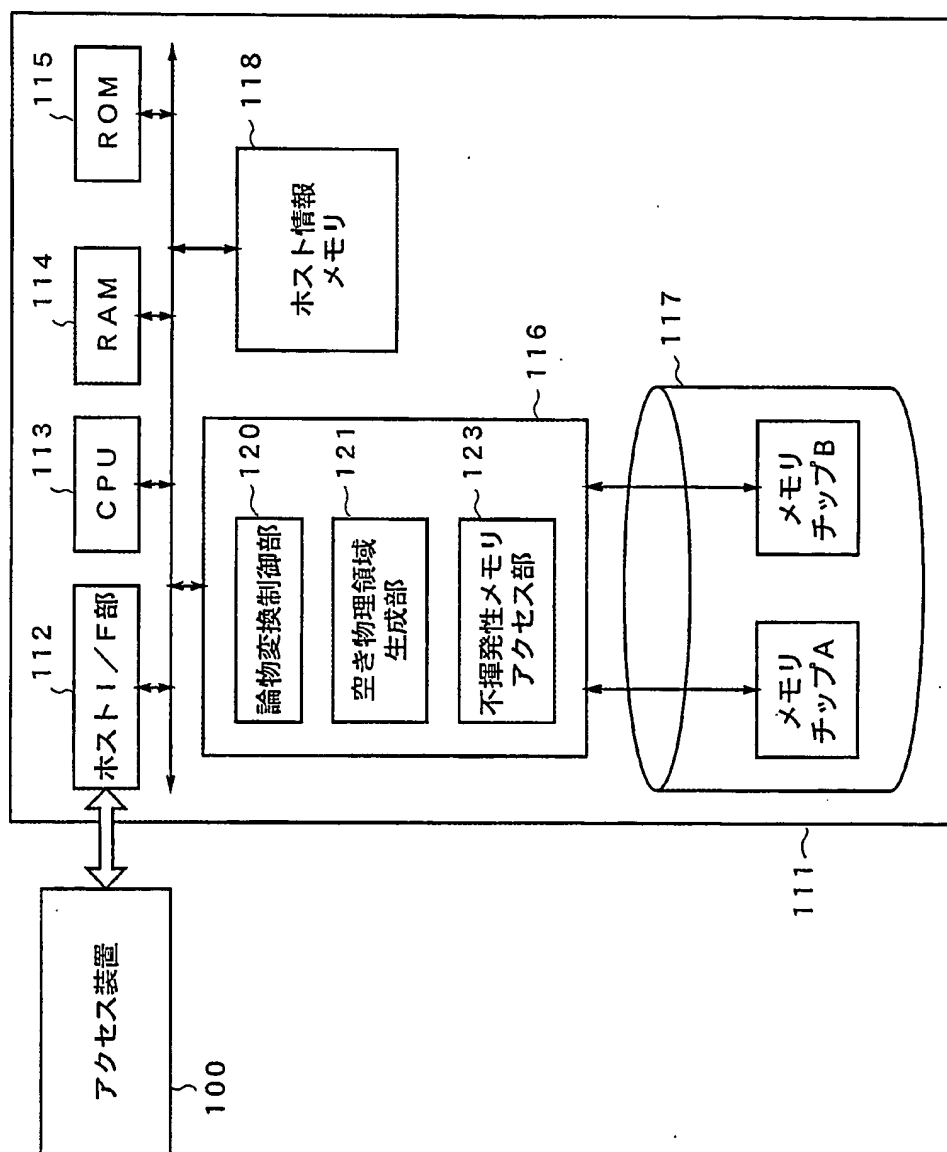
15 前記無効ブロックを消去する際には、1つの不揮発性メモリチップへのデータの書き込みと他の不揮発性メモリチップのブロックの消去とを同時に処理する半導体メモリ制御方法。

20 10. 前記無効ブロックを消去する際には、書き込みデータを書き込む時間に相当する消去時間となるように、消去するブロック数を決定する請求項9記載の半導体メモリ制御方法。

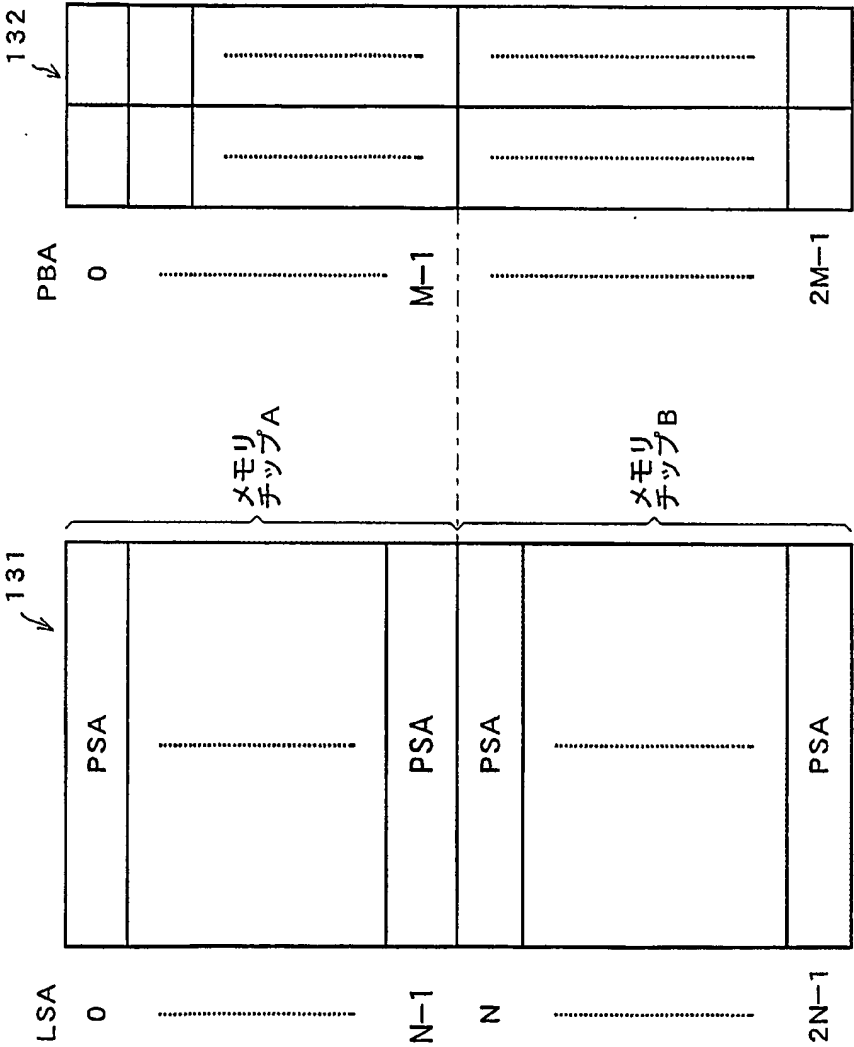
25 11. 前記不揮発性メモリは、2つの不揮発性メモリチップから成り、一方の不揮発性メモリチップへの書き込み処理をする期間に、他方の不揮発性メモリチップ内の無効ブロックを消去する請求項9記載の半導体メモリ制御方法。

1 / 20

第1図



第2図



3 / 2 0

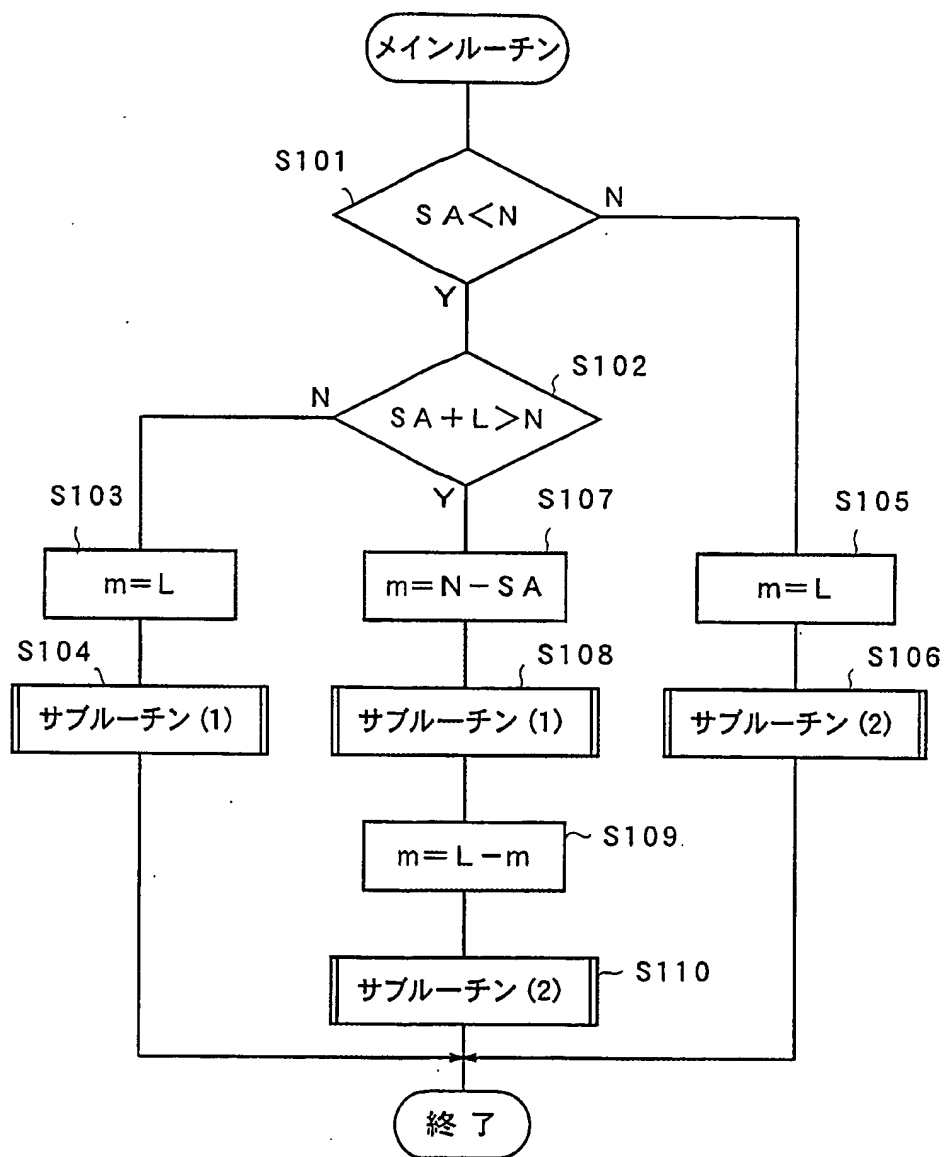
第 3 図

E B
↓

0	データ領域 (512 B)	MR (16 B)
	データ領域 (512 B)	MR (16 B)
	データ領域 (512 B)	MR (16 B)
	データ領域 (512 B)	MR (16 B)
	⋮	⋮
31	データ領域 (512 B)	MR (16 B)

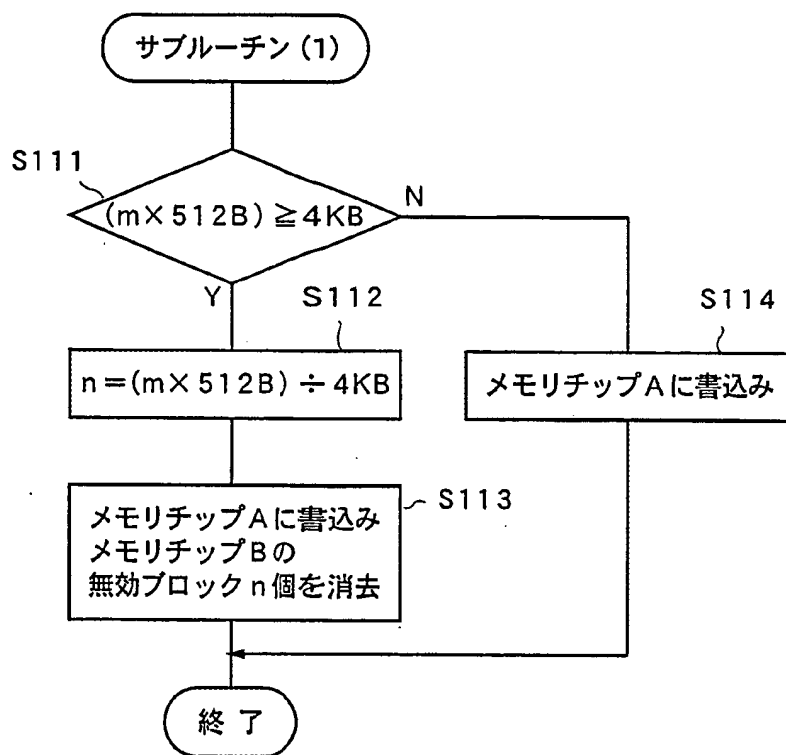
4 / 20

第4図



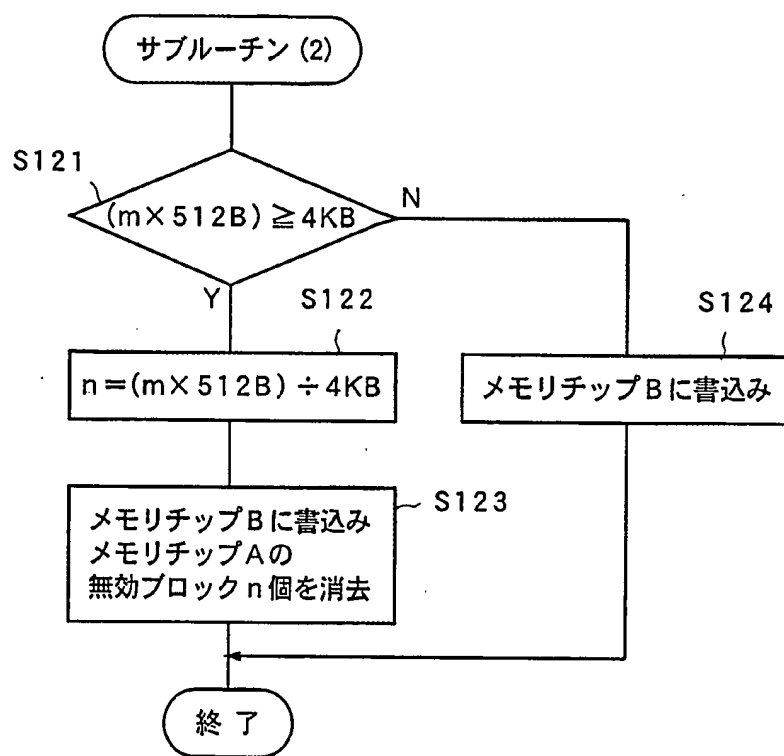
5 / 2 0

第5図



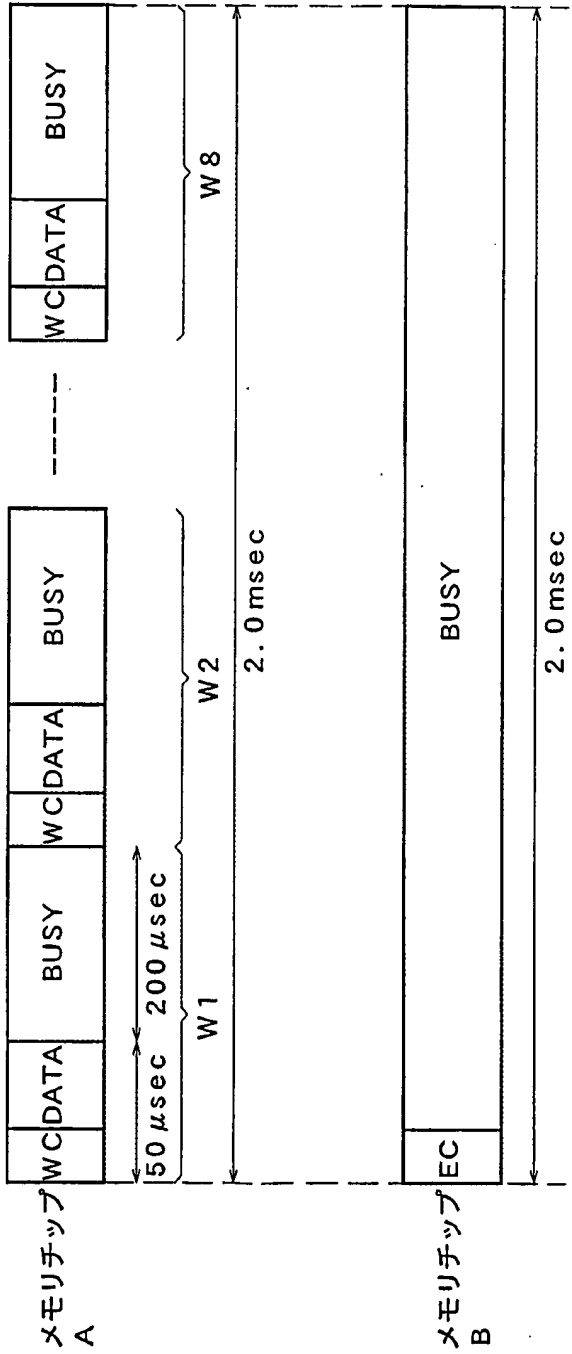
6 / 20

第6図



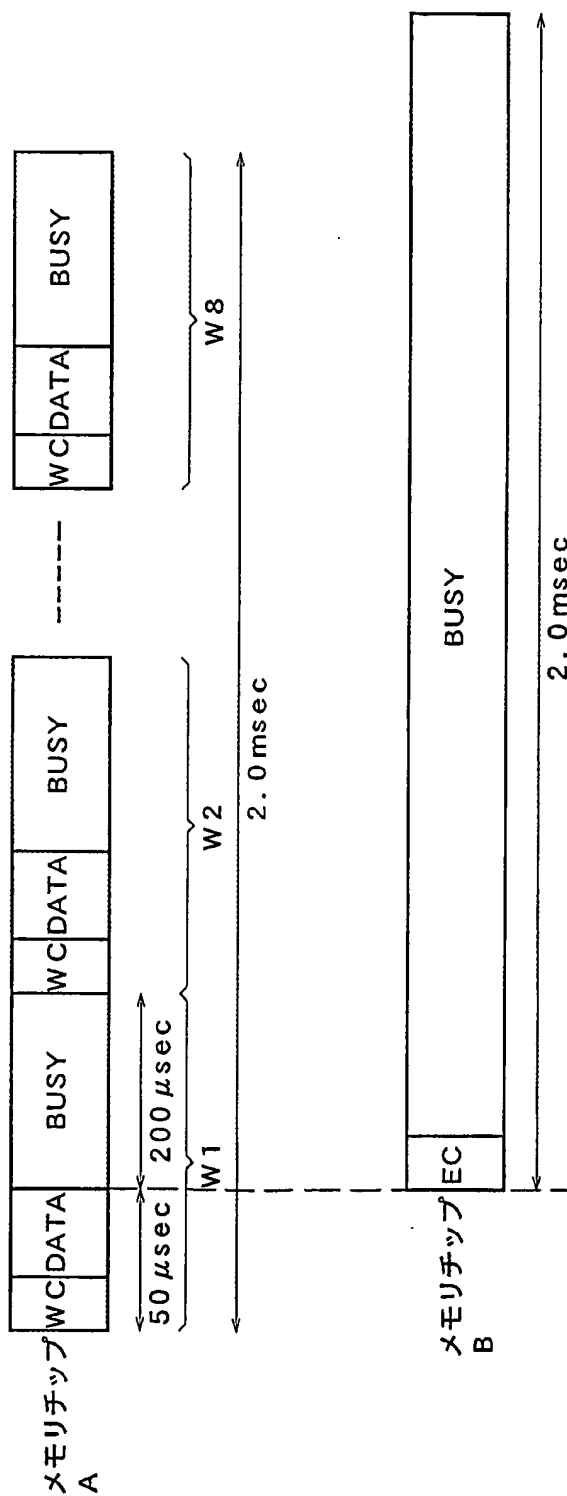
7 / 2 0

第7図



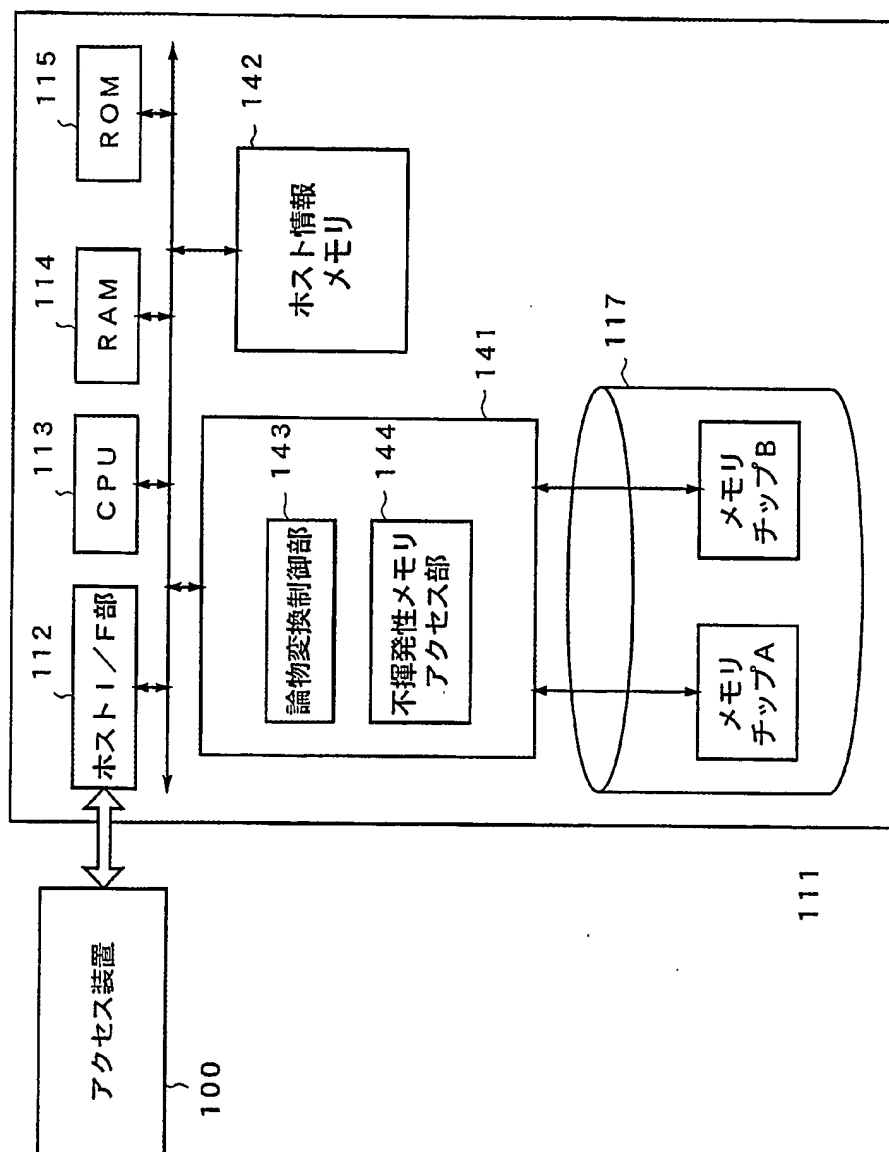
8 / 2 0

第8図

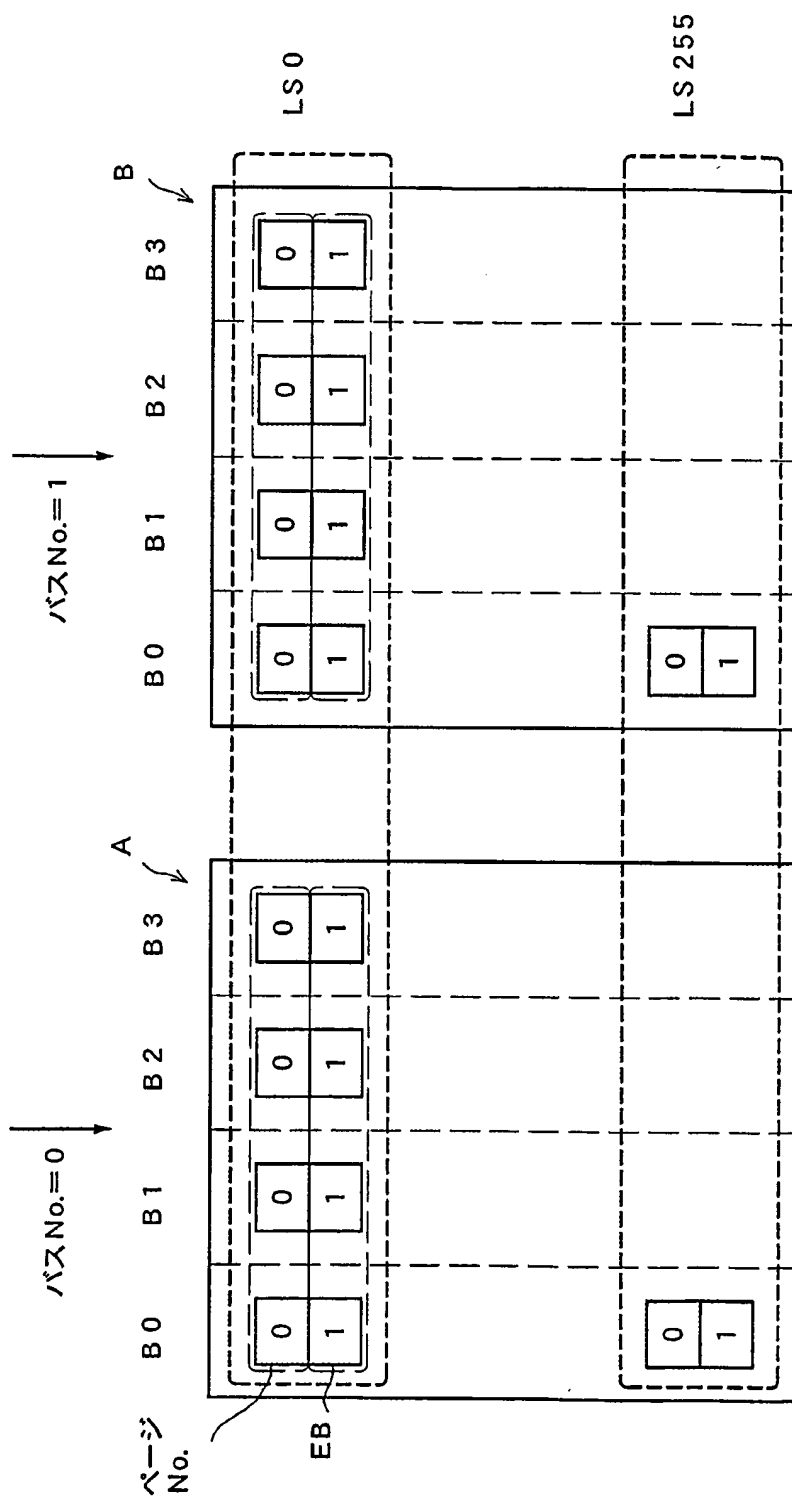


9 / 20

第9図

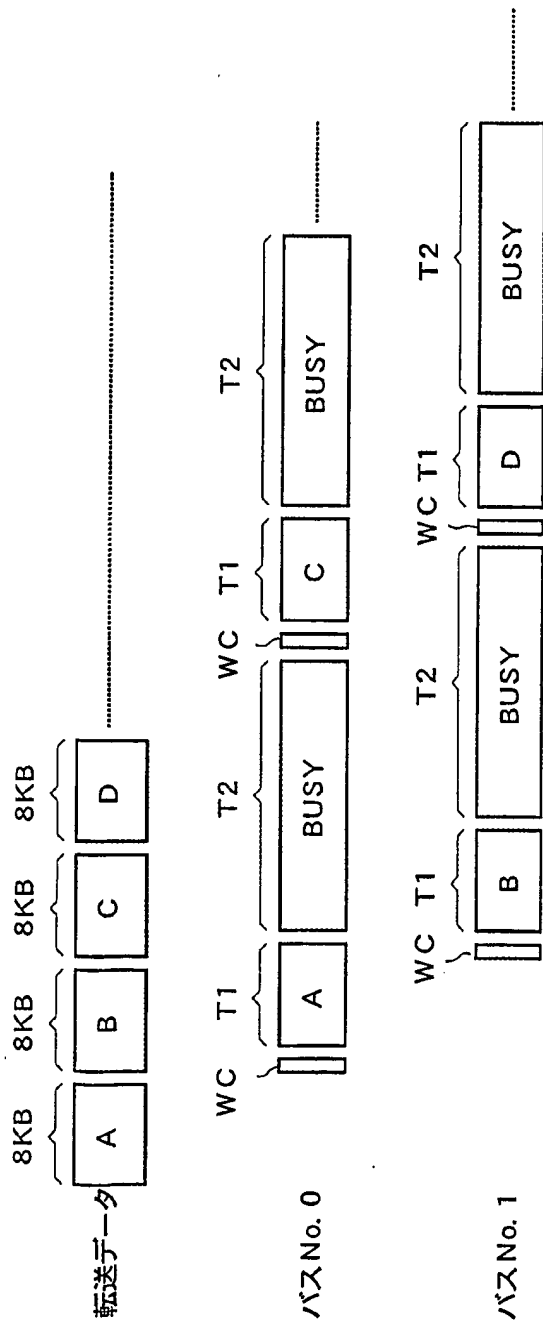


第10図



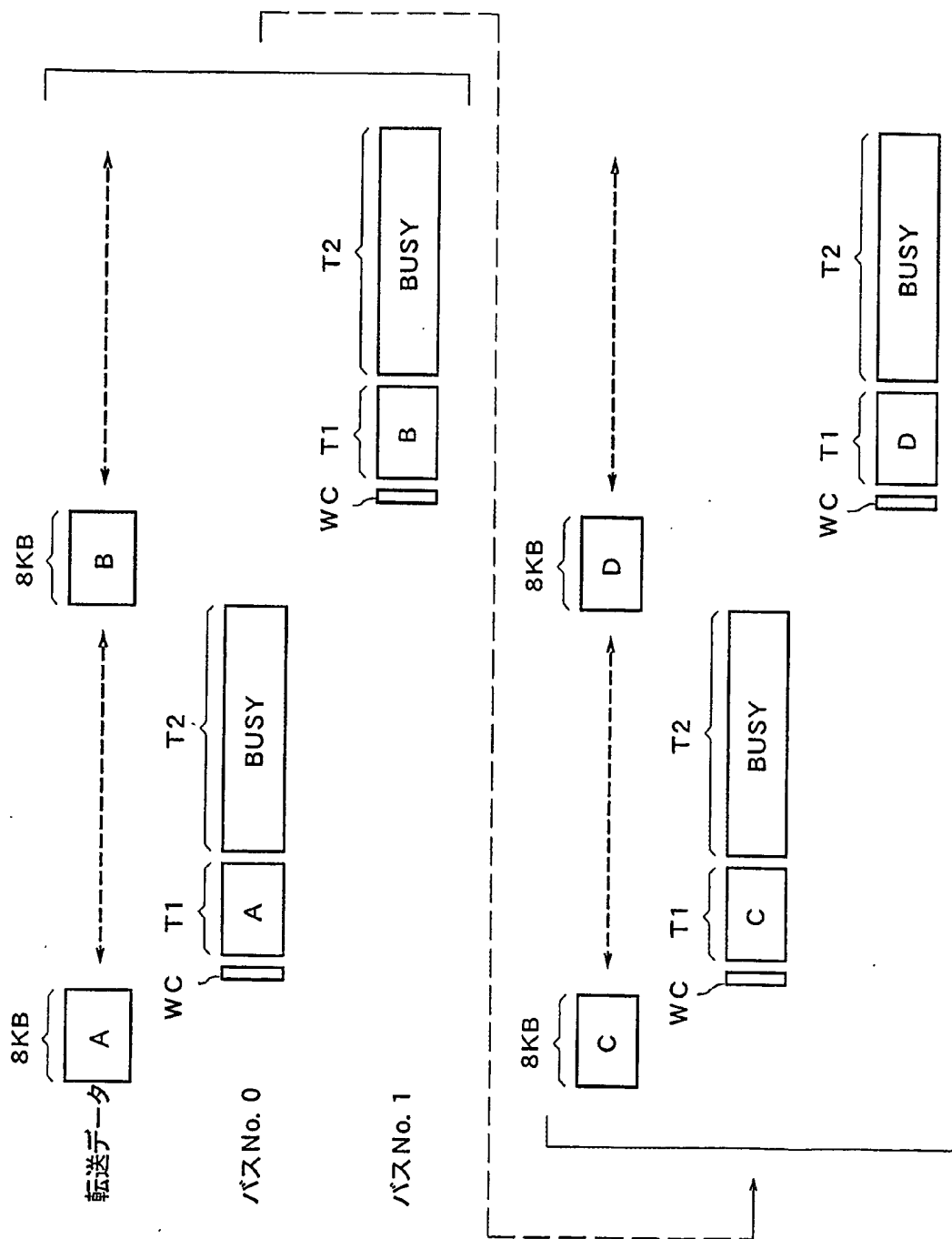
11/20

第11図

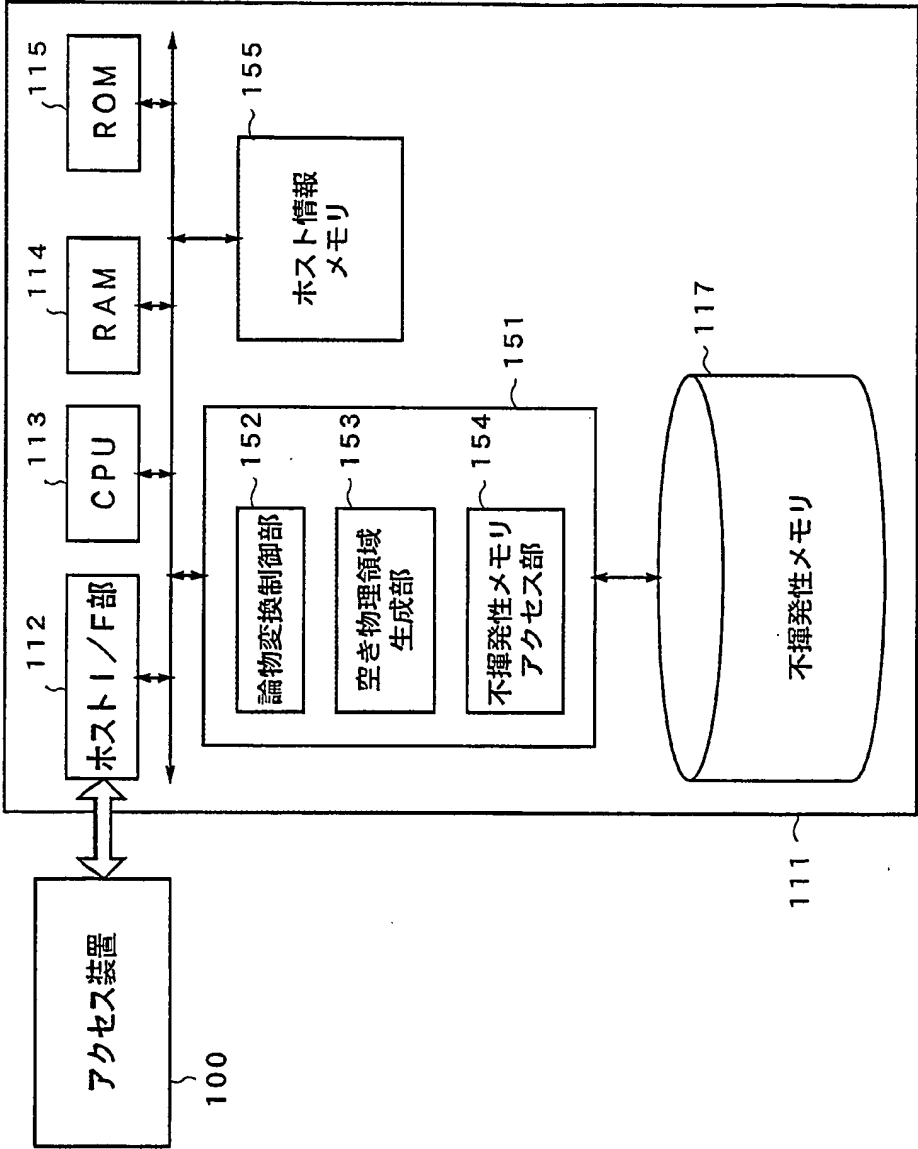


12/20

第12図

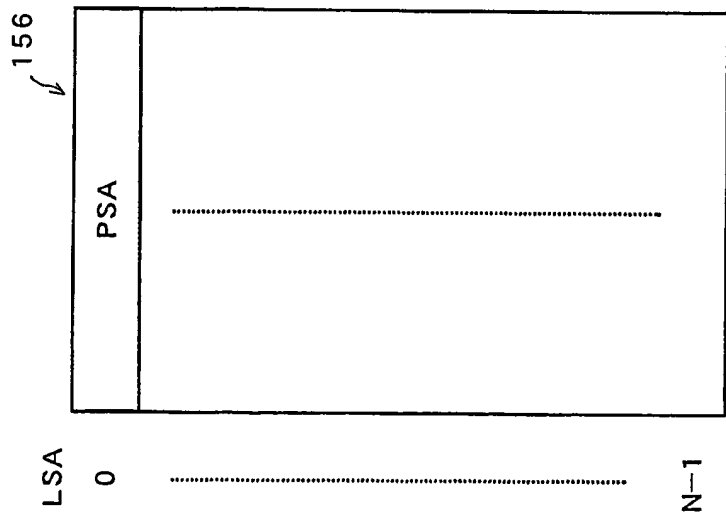
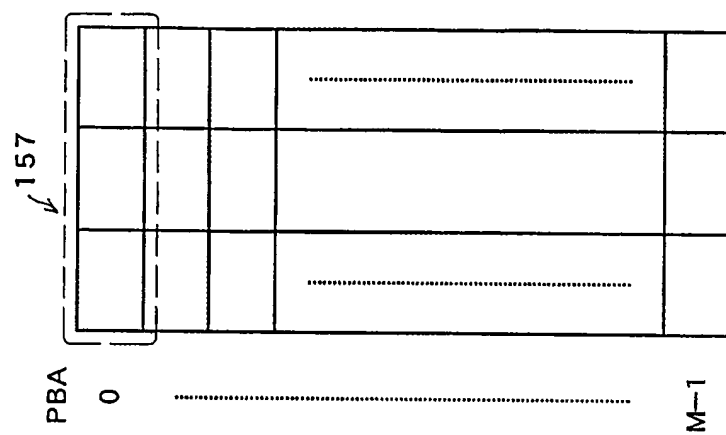


第13図



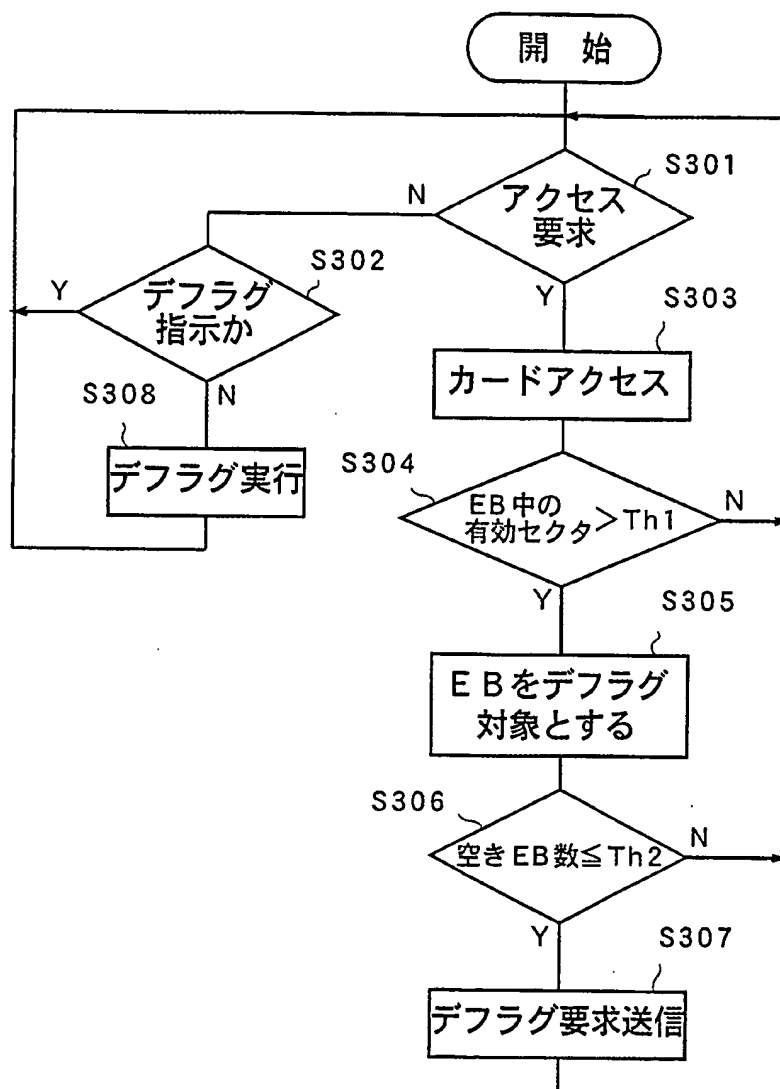
14 / 20

第14図



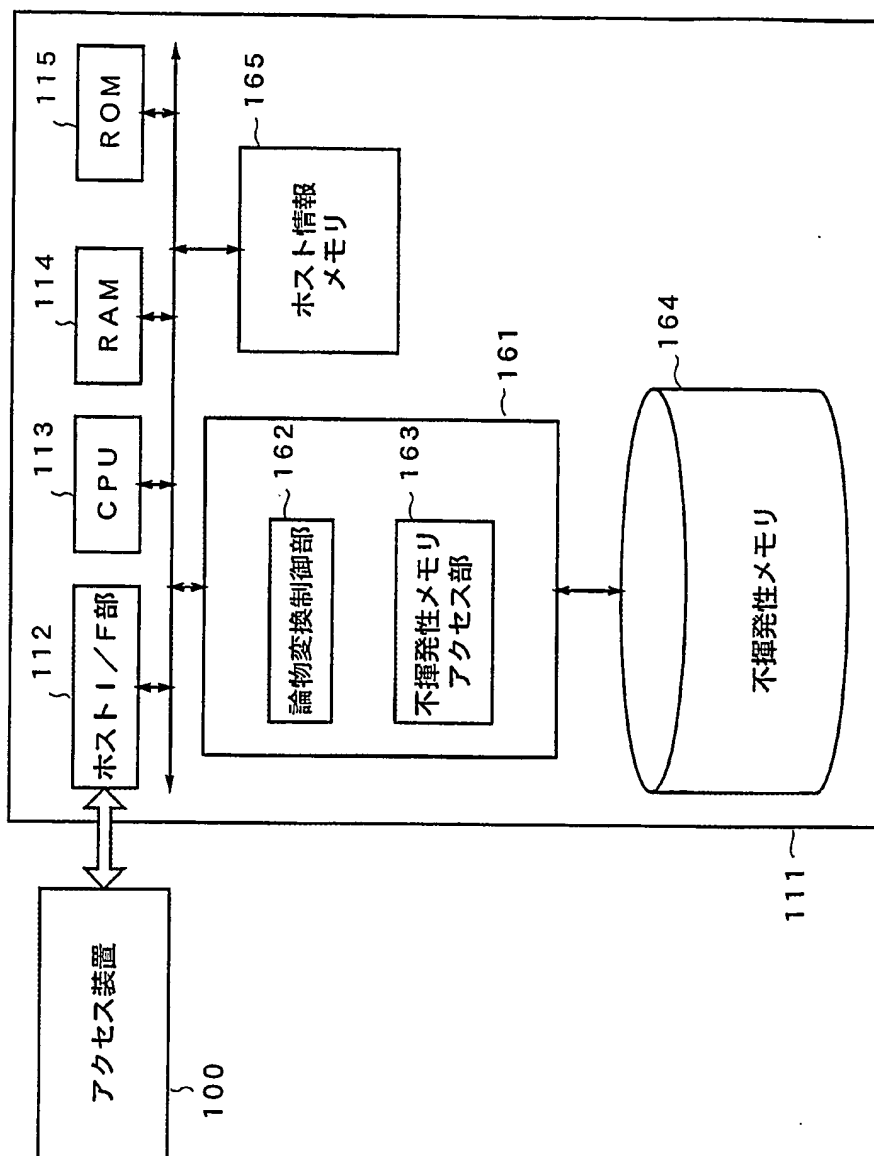
16/20

第16図



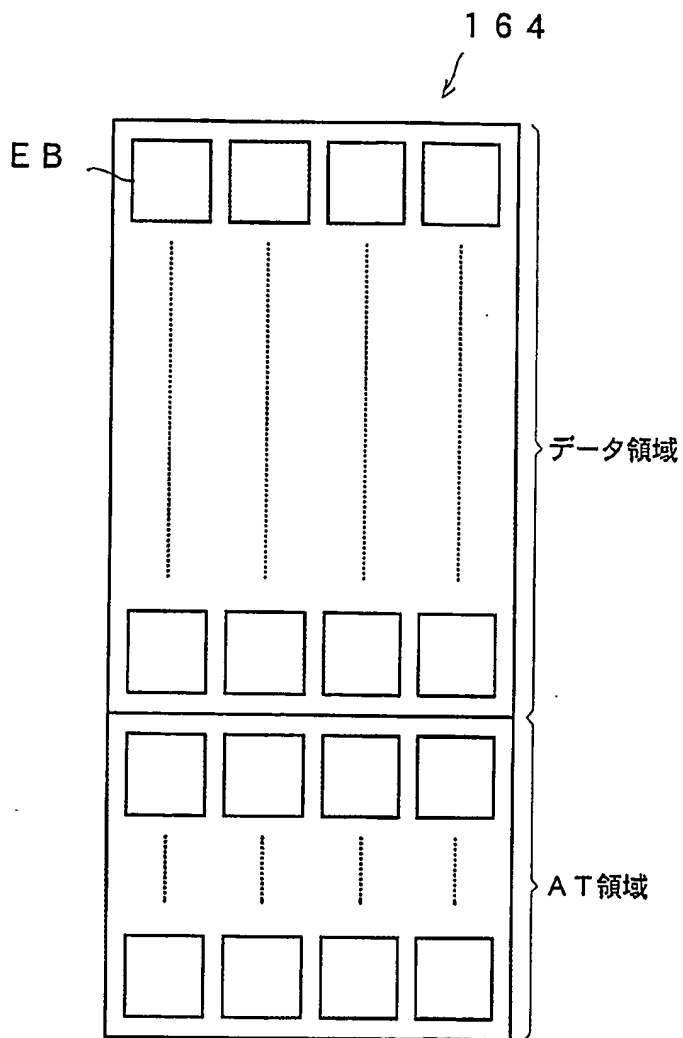
17/20

第17図

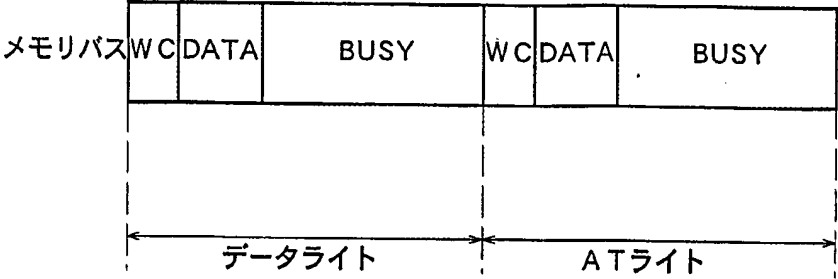


18/20

第18図

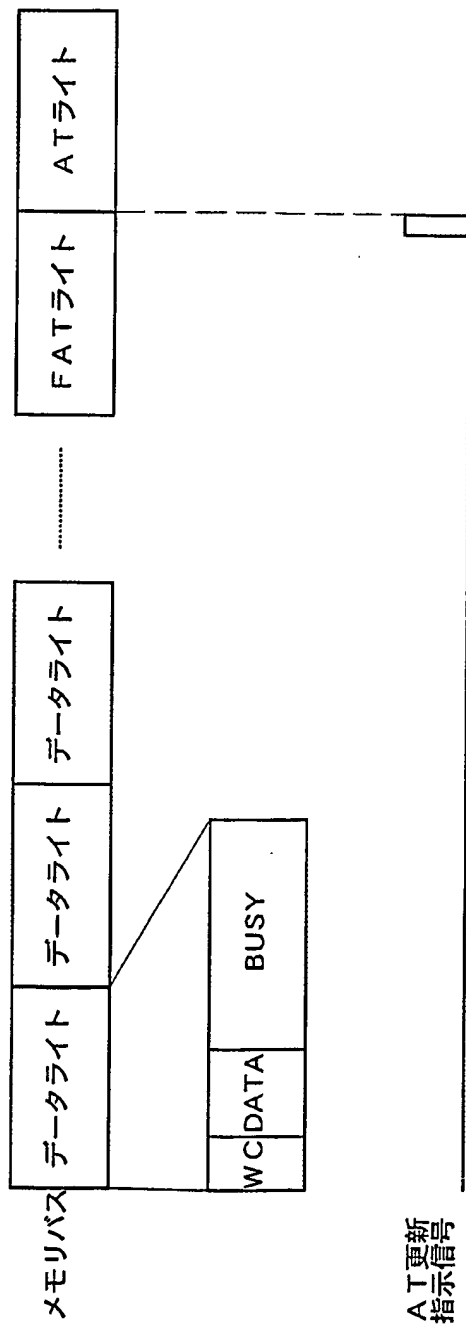


第19図



20/20

第20図



**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☒ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.